

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-075354

(43)Date of publication of application : 28.04.1984

(51)Int.Cl.

G06F 15/16

G06F 3/00

(21)Application number : 57-187103

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 25.10.1982

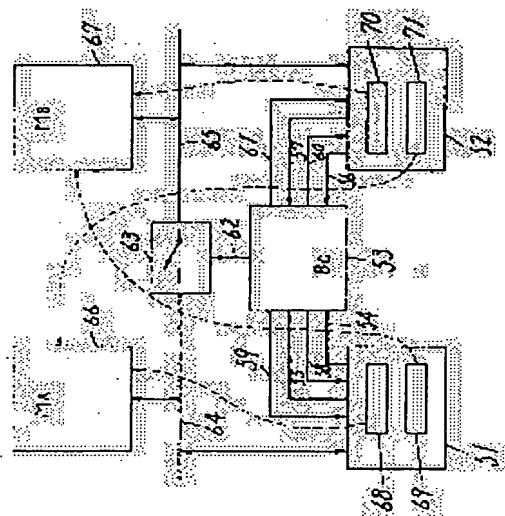
(72)Inventor : KAWAKAMI KATSURA
SHIMAZAKI SHIGEO
HIROGAMI ETSUKO

(54) PROCESSOR DEVICE

(57)Abstract:

PURPOSE: To control coupling of plural independently operating buses by a simple constitution by constituting so that plural processors inform a quality of a bus use request for showing which is used, in plural bus use request lines, to a bus control device.

CONSTITUTION: The respective logical addresses calculated in processors PC51, 52 are added to values held in segment registers SR68, 69 and 70, 71, respectively, and a physical address is generated. In case when the PC51 uses the SR68, when a bus use request is executed to a bus control device 53 by turning on a signal line 55, the device 53 checks a state of only a bus 64, and if it is usable, a bus use approval signal line 59 is turned on. In case when the SR 69 is used, a bus use request signal line 54 is turned on, the device 53 checks the bus 64 and 65, and if both of them are usable, a bus use approval signal line 58 is turned on, and also, a signal line 62 is turned on, a bus connecting device 63 is closed, and the buses 64, 65 are connected. The PC 51 outputs the physical address to the bus 64, and transmits and receives a data to and from storage devices 66, 67. The PC 52 executes the same operation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭59—75354

⑮ Int. Cl.³
G 06 F 15/16
3/00

識別記号

庁内整理番号
L 6619—5B
Z 6549—5B

⑯ 公開 昭和59年(1984)4月28日

発明の数 1
審査請求 未請求

(全 7 頁)

⑰ プロセッサ装置

川崎市多摩区東三田 3 丁目10番
1 号松下技研株式会社内

⑱ 特 願 昭57—187103

⑲ 発 明 者 広上悦子

⑳ 出 願 昭57(1982)10月25日

川崎市多摩区東三田 3 丁目10番
1 号松下技研株式会社内

㉑ 発 明 者 川上桂

㉒ 出 願 人 松下電器産業株式会社

川崎市多摩区東三田 3 丁目10番
1 号松下技研株式会社内

門真市大字門真1006番地

㉓ 発 明 者 島崎成夫

㉔ 代 理 人 弁理士 中尾敏男 外 1 名

明 細 書

1、発明の名称

プロセッサ装置

2、特許請求の範囲

(1) 複数の独立に動作可能なバスと、前記各バスに接続された複数のプロセッサと、前記複数のバスの間の結合を制御するバス制御装置と、前記各プロセッサと前記バス制御装置との間を接続し、前記バスのいずれかの使用要求信号を送出するため複数の信号線とを有し、前記信号線の少なくとも 1 本を所定の前記バスと対応させたことを特徴とするプロセッサ装置。

(2) プロセッサが複数のセグメントレジスタを有し、前記セグメントレジスタのうちの少なくとも 1 個が所定の信号線に対応していることを特徴とする特許請求の範囲第 1 項記載のプロセッサ装置。

3、発明の詳細な説明

産業上の利用分野

本発明は電子計算機等に用いられるプロセッサ装置に関する。

従来例の構成と問題点

複数のプロセッサが同一のバスを使用するようなシステムでは、プロセッサがバスを使用する手続きは一般に、バス使用权の確保の手続きと、アドレス及びデータの転送手続きとの二段階に分けられる。このようなバスに接続されている記憶装置を複数のプロセッサが共通にアクセスするようなシステムとしては、従来同一のバスにすべてのプロセッサとすべての記憶装置とを接続する第 1 の方法と、プロセッサと記憶装置とをバスで接続したものを複数個用意し、一つのプロセッサが他のバスに接続された記憶装置をアクセスするときのみ必要なバスどうしを接続する第 2 の方法とがある。第 1 の方法はバスの負荷が大きくなり、バスの転送速度によりプロセッサの処理速度が制限されるという欠点があった。また第 2 の方法は、バス接続するために複雑なハードウェアと複雑な手続きを必要とする欠点があった。

第 1 図は、上記第 1 の方法によるシステムの構成図である。図中の 1 は記憶装置、2 はバス、3、

4はプロセッサ、5はバス制御装置、6, 7はプロセッサから出力されるバス使用要求信号線、8, 9はバス制御装置5から出力されるバス使用許可信号線である。このシステムに於けるプロセッサの記憶装置に対するアクセス動作は次のようになる。即ち、プロセッサ3または4は記憶装置1との間のアドレス及びデータの転送に先だって、信号線6または7により、バス使用要求をバス制御装置5に対して送出し、信号線8または9によりバス使用許可を受信するまで待つ。バス制御装置5はバス使用要求を受信すると、バスが使用中であるか否か、及び信号線6と7の間の優先順位を調べ、その結果にもとづいて、バス使用許可信号を信号線8または9のいずれか一方を経て送出する。プロセッサ3または4はバス使用許可信号を受信すると、バス2を経由して記憶装置1との間でアドレス及びデータの転送を行なう。

第2図はプロセッサが記憶装置をアクセスする際の信号の送受信の関係の一例を示すものである。信号BSRQはバス使用要求信号であり、第1図の

信号DTAKがONとなるとプロセッサ3または4は信号DTSDをOFFにする。これにより記憶装置1は信号DTAKをOFFにし、バス制御装置5は転送動作が終了したことを知り、信号BSAVをOFFとする。

このようなシステムでは、バス2をプロセッサ3と4が同時に使用することはできない。また記憶装置1のどの領域がアクセスされる場合にもバス2は使用される。従ってプロセッサ3と4は互いに相手がバス2を使用している間は、バス使用権が得られず、プロセッサ3と4のバス使用要求の頻度が高ければ高い程、バス使用権確保のための待ち時間が多くなる。このことはプロセッサの処理速度を低下させる原因となる。

複数のプロセッサが記憶装置を共有して処理を行なうシステムでは、一般に共有領域は記憶装置の一部分である場合が多く、共有領域以外の領域をプロセッサがアクセスする場合にも、バス使用権の確保のために、多くの待ち時間を要することは不合理である。この点を解決するために、第3

信号線6または7を経由する信号に対応する。信号BSAVはバス使用許可信号であり、第1図の信号線8または9を経由する信号に対応する。信号BUSn, ADSDは、それぞれアドレス及びデータを示す信号、アドレスが有効であるタイミングを示す信号であり、DTSD, DTAKは記憶装置1のアクセス時間にプロセッサ3, 4の動作を同期させるための信号であって、各信号は第1図ではバス2を経由する信号としてまとめて表示してある。プロセッサ3または4は、最初に信号BSROをONにし、信号BSAVがONとなるのを待つ。信号BSAVがONとなると、信号BSRQをOFFとし信号BUSnとしてアドレスを送出し、アドレスが有効であるタイミングを表示するストロブパルス信号ADSDを送出する。次に信号DTSDを送出するとともに、信号BUSnによりデータの送受信を行なう。プロセッサ3または4は信号DTSDをONにすると信号DTAKがONとなるのを待つ。記憶装置1はデータのBUSnに対する入力または出力を完了すると信号DTAKをONとし、

図のように、10, 11を記憶装置の非共有領域とし、それぞれをプロセッサ12と13だけがアクセスし、共有領域14を両手のプロセッサがアクセスする領域とし、10と11をプロセッサ12と13がそれぞれ同時にアクセスできるようにした具体的なブロックが第4図のシステムであり、第2の従来例である。

第4図の15, 16はプロセッサ、17はバス制御装置である。信号線18, 19, 20, 21はバス使用要求信号線であり、信号線22, 23, 24, 25は、信号線18, 19, 20, 21にそれぞれ対応したバス使用可信号線である。信号線26はバス接続装置27の開閉を制御する信号線であり、28, 29はバスである。30, 31はプロセッサ15, 16のみがそれぞれアクセスする記憶装置、23は両方のプロセッサ15, 16からアクセスされる共有記憶領域である。33はアドレス保持回路であり、34はアドレス出力用の信号線である。

第4図のシステムではプロセッサ16が記憶領

域32をアクセスするときだけ両方のバスを接続し、それ以外はバス接続装置27を切断状態となるように制御すれば、プロセッサ15と16は記憶装置30と31とをそれぞれ同時にアクセスすることができる。しかしプロセッサ16が、共有領域32をアクセスするためには複雑な手続きとアドレス保持回路33とが必要となる。なぜならばプロセッサ16がバス使用要求信号をONにした時点で、バス制御装置17にとって、その要求がバス28の使用要求であるのか、バス29の使用要求であるかは不明であり、バス使用許可信号を返送すれば、アドレス情報がプロセッサから出力されるので、どちらのバスが使用されるかは明らかとなるが、バス使用許可信号を返送するためには、どちらのバスが使用されるべきかが明らかになる必要があるからである。

第4図のシステムに於て、プロセッサ16が記憶領域32をアクセスする場合の動作は次のようになる。

まず、プロセッサ16がバス使用要求信号線20

接続制御信号をONとし、バス28とバス29とが接続される。これによりプロセッサ16から送出されていた信号DTSDが、記憶領域32に伝達され、データの送受信が行われ、記憶領域32から信号DTAKがプロセッサ16に対して返送され、転送シーケンスが終了する。

以上のように2本のバスが独立に動作可能なモードと、両者を結合して使用するモードとが存在するシステムを、第2図のような転送シーケンスにより構成する第2の従来例においては、第4図に示すような複雑なアドレス保持回路と、複雑な転送手順が必要であった。また共有領域、非共有領域の区別はアドレス保持回路により判断されるためダイナミックな共有領域の変更には不便であった。これは次の点に起因するものである。即ち

1 バス使用許可信号をプロセッサが受信した後プロセッサからアドレスが送出されるためバス使用要求が出力された段階では、プロセッサが必要とするバスの種別が不明である。

2 共有領域と非共有領域の区別が物理アドレ

スをONにすると、バス制御装置17はバス28の状態にかかわらず、バス29の状態のみにより即ち、バス29が使用中でなければバス使用許可信号線24をONにする。プロセッサ16は信号線24がONとなると、バス29にアドレスを送出し、次にデータの送受信状態に入る。即ち、第2図の期間Wの状態となり、信号DTAKを待つ。アドレス保持装置33は、バス29に送出されたアドレス情報を、自分の内部のレジスタに格納しそのアドレスが共有領域32に対応するものである場合は、バス使用要求線21をONにし、バス使用許可信号線25がONとなるのを待つ。バス制御装置17は、バス使用要求線21がONとなるとバス28の状態を調べ、使用可能であればバス使用許可信号線25をONとする。バス使用許可信号線25がONとなると、アドレス保持装置33はバス28へアドレス出力用信号線34を経由して、内部のレジスタに格納されたアドレスを送出する。バス28におけるアドレスサイクルが終了するとバス制御装置17は信号線26のバス

又、即ち、バスに送出されたアドレスによりなされている。

発明の目的

本発明は、複数のバスを持ち、それらが独立に動作するモードと、それらのうち2つ以上のバスを接続して使用されるモードとを持つシステムを第1に簡単なハードウェアにより実現して高速なデータ転送を可能にし、第2に自由な共有領域の変更を可能とするプロセッサ装置を提供することを目的とする。

発明の構成

本発明は、プロセッサとバス制御装置との間に複数のバス使用要求信号線を設け、それらのうちの少なくとも一つの信号線を複数のバスのうちの所定のバスに対応させるものであって、プロセッサはバス制御装置に対して、複数のバス使用要求線のうちいづれを使用したかにより、バス制御装置に対してバス使用要求の性質を通知し、バス制御装置はその通知内容により、複数のバスの接続または切断の制御を行なうものである。

実施例の説明

以下に本発明の実施例を図面を用いて説明する。

第5図は本発明の原理を説明する概念図であって、記憶装置の共有状況の一例である。図中の35, 36はプロセッサ、37, 38はプロセッサ35内部の39, 40はプロセッサ36内部のセグメントレジスタ、41, 42は記憶装置、43, 44, 45, 46は記憶装置41, 42内の論理空間であり、セグメントレジスタ37, 38, 39, 40によりそれぞれの起点が指定されているものとする。セグメントレジスタ37, 40は記憶装置41の、またセグメントレジスタ38, 39は記憶装置42内の起点アドレスをそれぞれ保持するものとする。第5図の例では、論理空間43と46及び44と45の重複部分がプロセッサ35と36との共有領域となる。このように、プロセッサ内部に2つ以上の論理空間の起点を示すセグメントレジスタを設け、それぞれを別々のバスに接続された記憶装置に対応させると、各プロセッサがどの論理空間を要求しているのかを使

を持ち、また2本のバス使用許可信号線58, 59とを持つ。プロセッサ52についても同様にそれぞれ2本ずつ設けられている。プロセッサ51が記憶装置をアクセスする手順は次のようになる。即ち、プロセッサ内で計算された論理アドレスはセグメントレジスタ68または69に保持されている値と加算され物理アドレスが生成される。プロセッサ51は、加算にセグメントレジスタ68が使用された場合はバス使用要求信号線55を、また加算にセグメントレジスタ69が使用された場合はバス使用要求信号線54をONとする。バス制御装置53は、バス使用要求信号線55がONとなった場合は、バス64だけの状態を調べ使用可能であればバス使用許可信号線59をONとする。またバス使用要求信号線54がONとなった場合はバス64と65の両方を調べ、両方とも使用可能であればバス使用許可信号線58をONとし、同時に信号線62をONとすることにより、バス64と65とを接続する。プロセッサ51はバス使用許可信号線59がONとなった場合も、

用要求信号によって判断でき、またセグメントレジスタの保持する値を変更するだけで論理空間を自由に移動することが可能となるため、プロセッサ間の共有記憶領域を自由に設定することができる。なお、47, 48, 49, 50は各論理空間43, 44, 45, 46に対する信号線に対応線である。

第6図は本発明のプロセッサ装置の一実施例を示す構成図である。図中51, 52はプロセッサ、53はバス制御装置、54, 55, 56, 57はバス使用要求信号線、58, 59, 60, 61はバス使用要求信号線54, 55, 56, 57にそれぞれ対応したバス使用許可信号線、62はバス接続装置63の開閉を制御する信号線、64, 65はそれぞれ独立に動作可能なバス、66, 67はプロセッサ51, 52がアクセスする記憶装置、68, 69, 70, 71はセグメントレジスタであって、第5図の37, 38, 39, 40とそれぞれ対応する。このように本実施例では、プロセッサ51は、2本のバス使用要求信号線54と55

同線58がONとなった場合も同様に、アドレスサイクルでは物理アドレスをバス64に出力し、記憶装置66, 67とのデータの送受信を行なう。プロセッサ52が記憶装置66または67をアクセスするときも同様である。

第6図のようなプロセッサ装置では、物理アドレスの生成に使用されるセグメントレジスタの種類と、バス使用要求信号線の種類が対応づけられているため、プロセッサ51が物理アドレスをバス64に送出する以前に、プロセッサ51がバス64だけの使用権を必要とするのか、またはバス64と65の双方の使用権を必要とするのかを、バス制御装置53を知ることができる。従って、プロセッサがバスにアドレスを送出する以前に、バス64と65とを結合すべきか否かを決定でき第4図に示すアドレス保持回路33は不要となる。また、セグメントレジスタ68~71の論理アドレスを変更するだけで、プロセッサ間の共有記憶領域を、プログラム実行中に必要に応じて変更することもできる。

以上の本発明の実施例の説明においては、バスは2本とし、プロセッサ内のセグメントレジスタの個数及び、バス使用要求信号線の本数も2として説明したが、独立して動作するバスの個数が3以上であっても、本発明の方式を適用することができる。即ち、独立して動作するバスの個数と同一個数のバス使用要求信号線を設けても良いし、また、第1のバス使用要求信号線はそのプロセッサが直接接続されているバスに対応させ、第2のバス使用要求信号線を、その他のバスすべてに対応させても良い。さらに、セグメントレジスタとバス使用要求信号線とを対応させなくとも、バス使用要求信号線の少なくとも1本がいずれかのバスに対応しているだけでもバス使用要求信号線の種別によって、バス制御装置では複数のバス間の接続を制御できる。

発明の効果

以上説明したように本発明は、プロセッサからバス制御装置に対して伝達されるバス使用要求のための信号線を複数本設け、そのうちの少なくとも

も1本を所定のバスと対応させることにより、複数の独立に動作可能なバスどうしの結合の制御を簡単に実現し、かつ高速なデータ転送を可能にするものであり、これにより、プロセッサ間の記憶装置の共有が簡単かつ自由にでき、マルチプロセッサシステムの簡単でかつ円滑な制御を行なうことができる。

4、図面の簡単な説明

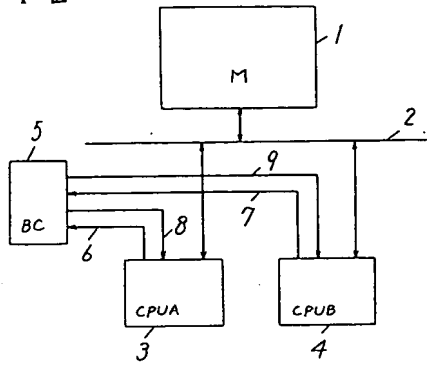
第1図はプロセッサ装置の第1の従来例を示すブロック図、第2図はプロセッサがバスによりデータ転送を行なうための信号の制御手順を説明する図、第3図はプロセッサ装置の第2の従来例を示す概念図、第4図は第2図の従来例の具体的な構成を示すブロック図、第5図は本発明のプロセッサ装置の原理を示す概念図、第6図は本発明のプロセッサ装置の一実施例を示す構成ブロック図である。

35, 36, 51, 52 …… プロセッサ、37, 38, 39, 40, 68, 69, 70, 71 …… セグメントレジスタ、41, 42, 66, 67 …… 記憶装置、43, 44,

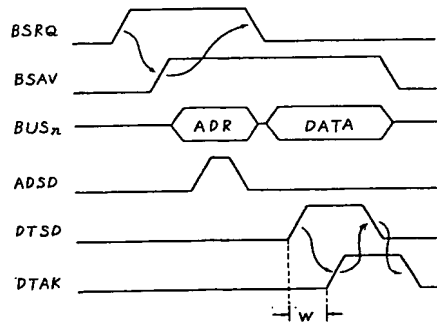
45, 46 …… 論理空間、53 …… バス制御装置、54, 55, 56, 57 …… バス使用要求信号線、58, 59, 60, 61 …… バス使用許可信号線、62 …… 信号線、63 …… バス接続装置、64, 65 …… バス。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

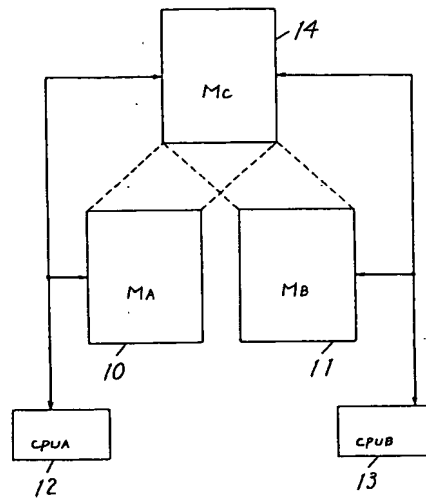
第 1 図



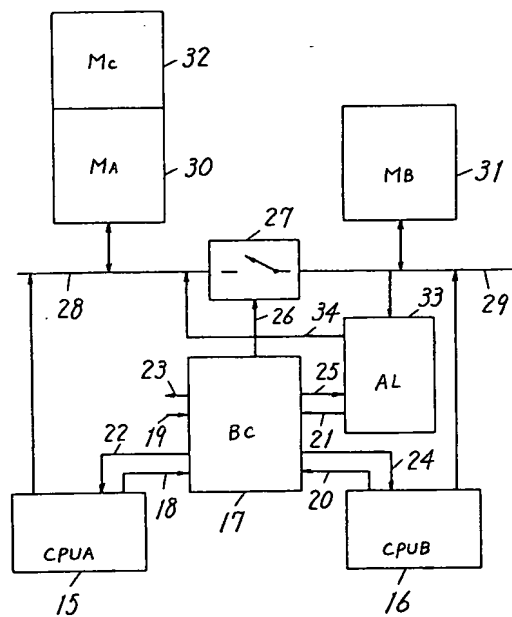
第 2 図



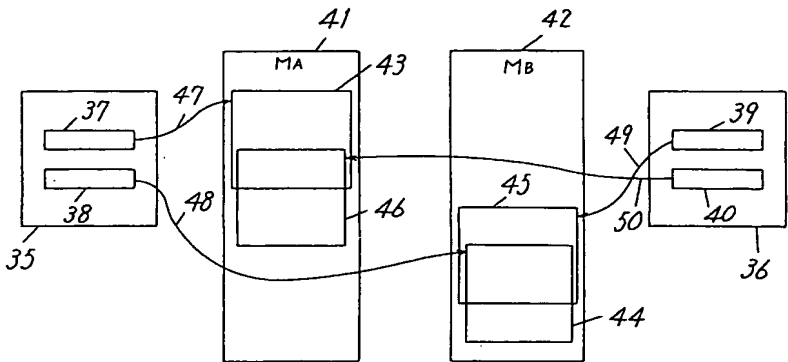
第 3 図



第 4 図



第 5 図



第 6 図

